

PCT/JP2004/017268

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

02.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年11月28日

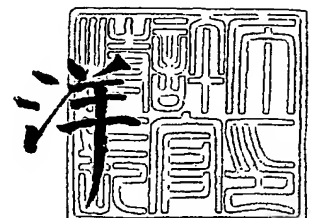
出 願 番 号  
Application Number: 特願2003-399056  
[ST. 10/C]: [JP2003-399056]

出 願 人  
Applicant(s): 松下電器産業株式会社

2005年 1月13日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



BEST AVAILABLE COPY

出証番号 出証特2004-3122132

【書類名】 特許願  
【整理番号】 2056152143  
【提出日】 平成15年11月28日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 3/06 540  
G11C 7/00 311

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
【氏名】 大塚 健

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
【氏名】 山下 英明

【発明者】  
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内  
【氏名】 太田 晴夫

【特許出願人】  
【識別番号】 000005821  
【氏名又は名称】 松下電器産業株式会社

【代理人】  
【識別番号】 100097445  
【弁理士】  
【氏名又は名称】 岩橋 文雄

【選任した代理人】  
【識別番号】 100103355  
【弁理士】  
【氏名又は名称】 坂口 智康

【選任した代理人】  
【識別番号】 100109667  
【弁理士】  
【氏名又は名称】 内藤 浩樹

【手数料の表示】  
【予納台帳番号】 011305  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9809938

**【書類名】 特許請求の範囲****【請求項 1】**

2 個以上のメモリデバイスと、  
前記メモリデバイスを並列に動作させる制御手段と、  
外部とのデータの入出力を制御する外部インターフェイス部とを有するメモリカードドライブであって、  
前記制御手段は、前記外部インターフェイス部を介して発行されるコマンドに対応した消費電流予測値にしたがって、並列に動作するメモリデバイスの枚数を変化させるメモリカードドライブ。

**【請求項 2】**

前記制御手段は、前記メモリデバイスにデータをライトする場合と前記メモリデバイスにデータをリードする場合において、並列に動作するメモリデバイスの枚数を変化させる請求項 1 記載のメモリカードドライブ。

**【請求項 3】**

1 個以上のメモリデバイスと、  
前記メモリデバイスの動作周波数を制御する制御手段と、  
外部とのデータの入出力を制御する外部インターフェイス部とを有するメモリカードドライブであって、  
前記制御手段は、前記外部インターフェイス部を介して発行されるコマンドに対応した消費電流予測値にしたがって、前記メモリデバイスの動作周波数を変化させるメモリカードドライブ。

**【請求項 4】**

前記制御手段は、前記メモリデバイスにデータをライトする場合と前記メモリデバイスにデータをリードする場合において、前記メモリデバイスの動作周波数を変化させる請求項 3 記載のメモリカードドライブ。

**【請求項 5】**

2 個以上のメモリデバイスと、  
前記メモリデバイスの動作周波数および並列動作個数を制御する制御手段と、  
外部とのデータの入出力を制御する外部インターフェイス部とを有するメモリカードドライブであって、  
前記制御手段は、前記外部インターフェイス部を介して発行されるコマンドに対応した消費電流予測値にしたがって、メモリデバイスの動作周波数と並列動作個数の少なくともいずれか一方を変化させるメモリカードドライブ。

**【請求項 6】**

前記制御手段は、前記メモリデバイスにデータをライトする場合と前記メモリデバイスにデータをリードする場合において、前記メモリデバイスの動作周波数と並列動作個数の少なくともいずれか一方を変化させる請求項 5 記載のメモリカードドライブ。

**【請求項 7】**

前記外部インターフェイス部は、ホスト機器から発行される前記ホスト機器が供給可能な最大許容電流値を通知され、前記制御手段は、前記最大許容電流値を満足するように、発行されたコマンドに対応してメモリデバイスの動作周波数と並列動作個数の少なくともいずれか一方を変化させる請求項 5 および 6 のいずれかに記載のメモリカードドライブ。

**【請求項 8】**

前記ホスト機器からの前記消費電流値の通知は、ATA の SET FEATURES コマンドの ADVANCED POWER MANAGEMENT に従って行う請求項 7 記載のメモリカードドライブ。

**【請求項 9】**

前記メモリデバイスは、リード動作とライト動作で消費電流値が異なる請求項 1 乃至請求項 8 のいずれかに記載のメモリカードドライブ。

## 【書類名】 明細書

【発明の名称】 メモリカードドライブ

## 【技術分野】

【0001】

本発明は、フラッシュメモリまたはメモリカードを記録媒体として利用したメモリカードドライブに関する。

## 【背景技術】

【0002】

現在、SDカード等のフラッシュメモリが内蔵されたカード型の記録媒体であるメモリカードは超小型、超薄型であり、その取り扱い易さから、デジタルスチルカメラ等のデジタル機器に広く利用されている。

【0003】

しかしながら、現在発売されているメモリカードの記録最大容量は512MBであり、最大記録レートは10MB/sである。上記のようなメモリカードに、高い記録レートの映像信号を長時間記録する場合は記録レートと記録容量が不足している。例えば、DVフォーマットの映像信号と音声信号を記録するには約4MB/secの帯域が必要であり、512MBのメモリカードには約2分程度しか記録することができない。

【0004】

特許文献1では、外部インターフェイスを有するメモリカードドライブ本体に、複数のメモリカードの装着部を設け、これらの装着部に複数のメモリカードを装着することによって、大容量の情報を1台のメモリカードドライブで記録可能にしている。

【0005】

また、特許文献2では、半導体ディスクとして、複数のPCカードスロットにATAフラッシュカードを装着し、複数のATAフラッシュカードの入出力処理を制御（例えばRAID0）して、高速化と大容量化を実現している。

【特許文献1】 特開2002-189992号公報

【特許文献2】 特開2000-207137号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

【0006】

従来のメモリカードドライブでは、複数のATAフラッシュカードを用い、その入出力処理を制御することによって、高速化と大容量化に対応している。しかしながら、高速化をするために、例えば4個のATAフラッシュカードを並列動作させると消費電力は4倍となる。よって、1個当たりのフラッシュATAカードの消費電流が200mAである場合、4個並列動作時には800mAとなる。

【0007】

4個のATAフラッシュカードと、それらの入出力処理を行うコントローラで構成されるメモリカードドライブを、PCカードスロットを介してPCと接続する場合、PC側の供給電流が充足しているかが課題である。すなわち、PCカード規格では許容電流値を1Aとしているが、放熱性の問題から実際のPCにおいてはその種類によって、PCカードスロットの許容電流は400mA、600mA等とバラツキが大きく、従来のメモリカードドライブでは使用可能なPCが限定されるという問題がある。

【0008】

本発明は、上記問題を解決するものであり、データ高速転送と低消費電流化を両立させるメモリカードドライブを提供することを目的とする。また、PCの許容電流値に対応した電力管理をおこなうメモリカードドライブを提供することを目的とする。

## 【課題を解決するための手段】

【0009】

この課題を解決するために本発明のメモリカードドライブは、2個以上のメモリデバイスと、メモリデバイスを並列に動作させる制御手段と、外部とのデータの入出力を制御する

外部インターフェイス部とを有するメモリカードドライブであって、制御手段は、外部インターフェイス部を介して発行されるコマンドに対応した消費電流予測値にしたがって、並列に動作するメモリデバイスの枚数を変化させる構成としたものである。

【発明の効果】

【0010】

上記構成によって、動作コマンドに対応して並列に動作をおこなうメモリデバイスの枚数を変更することにより、高速化と低消費電流化が実現できる。

【発明を実施するための最良の形態】

【0011】

(第1の実施の形態)

図1に本発明のメモリカードドライブの構成図を示す。図1において、1はメモリカードドライブ、2は外部インターフェイス部、3は制御手段であり、制御手段3はコマンド解析手段31、並列制御手段32、消費電流値ROM33、メモリ制御手段34、バッファメモリ35によって構成される。40～43はメモリデバイスとしてのフラッシュメモリであり、フラッシュメモリ0、フラッシュメモリ1、フラッシュメモリ2、フラッシュメモリ3と夫々に番号を付している。

【0012】

以上の構成を有するメモリカードの動作について、ライト（書き込み）の動作から詳細に説明する。まず、ホスト機器は、外部インターフェイス部2を介して制御コマンドをメモリカードに発行する。例えば0番のセクタから連続して4セクタをライトする場合の動作について図2を参照して説明する。図2に連続ライトコマンドのプロトコルの概略を示す。

【0013】

同図において、(a)はホスト機器から発行されるコマンド発行手順の模式図であり、転送の始まりでは、連続ライトを示すコマンドに続いて最初にライトするセクタ番号である0を発行する。(b)は、データ転送の模式図であり、1セクタのサイズである512B（バイト）単位にデータを転送している。(c)はメモリカードからのレスポンスの模式図であり、各コマンド及び512Bの転送毎にレスポンスを返している。ホスト機器は、レスポンスを確認した後に次ステップに進む。また、ホスト機器が4セクタ分のデータ転送の終了に対応するレスポンスを確認すると、転送の終了を示すSTOPコマンドをメモリカードに発行する。

【0014】

図2の模式図で示した手順で発行されたコマンドは、外部インターフェイス部2を介してコマンド解析手段31に入力され、発行されたコマンドの内容を解析する。図2で示したコマンドの場合は、コマンド解析手段31で、「0番目のセクタからの連続セクタのライト動作」と解析される。コマンド解析手段31で解析された解析データは並列制御手段32に入力される。

【0015】

本メモリカードでは、フラッシュメモリを4個内蔵し、以下の（論理式1）によって、外部インターフェイスを介して発行されるセクタ番号と記録するフラッシュメモリを対応づけている。

（論理式1）

( (セクタ番号) % 4 = 0 ) ⇒ フラッシュメモリ0にライト

( (セクタ番号) % 4 = 1 ) ⇒ フラッシュメモリ1にライト

( (セクタ番号) % 4 = 2 ) ⇒ フラッシュメモリ2にライト

( (セクタ番号) % 4 = 3 ) ⇒ フラッシュメモリ3にライト

A % x はAをxで割り算したときの余りを示す。

ゆえに、セクタ番号0から連続の4セクタのライトでは、

セクタ0 ⇒ フラッシュメモリ0

セクタ1 ⇒ フラッシュメモリ1

セクタ2 ⇒ フラッシュメモリ2  
 セクタ3 ⇒ フラッシュメモリ3  
 のように配置される。

#### 【0016】

図2で示したように、コマンドの後には、ホスト機器より512B単位でデータが転送され、バッファメモリ35に一時記録される。並列制御手段32は、バッファメモリ35に一時記録されたデータを、メモリ制御手段35を介して各フラッシュメモリにライトしていく。

#### 【0017】

512Bのデータをライトする場合の各フラッシュメモリの記録レートは4MB/secである。ゆえに、2KB以上の大ブロックのデータを本メモリカードドライブに入力して記録する場合は、フラッシュメモリ0～フラッシュメモリ3の4枚のフラッシュメモリが並列にライト動作を行うことになるので、4倍の16MB/secの記録レートが得られる。

#### 【0018】

しかしながら、フラッシュメモリを並列に動作させた場合は消費電流が増大するという弊害も生じる。例えば、フラッシュメモリ1個当たりのライト時の消費電流値が100mA、外部インターフェイス部、制御部の消費電流値が100mAとすると、4個のフラッシュメモリを並列に動作させた場合のメモリカードドライブの消費電流値は  
 $100 + 4 * 100 = 500 \text{ (mA)}$  —— (式2)  
 となる。

#### 【0019】

一般にフラッシュメモリのリード（読み出し）動作時の消費電流値はライト動作時の消費電流値より大幅に少ないことが知られている。つまり、ライト時は、電子を酸化膜に囲まれた浮遊ゲートに蓄積するためにゲート・ドレイン間に高電圧を印加してデータをライトするのに対して、リード時はゲートに一定電圧を印加し、電流のON/OFFを検出することによってデータをリードしているからである。

#### 【0020】

フラッシュメモリ1個当たりのリードの消費電流値は50mAであり、4個のフラッシュメモリからデータを並列にリードした場合の本メモリドライブの消費電流値は  
 $100 + 4 * 50 = 300 \text{ (mA)}$  —— (式3)  
 となる。

#### 【0021】

図3は、本メモリカードドライブの消費電流制御のフロー図である。本実施の形態では、ホスト機器の電流供給能力に従ってメモリカードドライブの消費電流を制御している。以下、同図を参照して消費電流管理のフローについて説明する。

#### 【0022】

まず、ホスト機器は最大消費電流値（I<sub>max</sub>）をメモリカードドライブに要求する。メモリカードドライブは消費電流値ROM33に予めライトしておいたフラッシュメモリのライト時消費電流（I<sub>w</sub>）とフラッシュメモリのリード時の消費電流（I<sub>r</sub>）、フラッシュメモリの並列動作可能枚数（N）、メモリカードドライブの制御部、外部インターフェイス部の消費電流 $\alpha$ をもとに最大消費電流（I<sub>max</sub>）を（式4）によって計算し、ホスト機器に通知する。

$$I_{\max} = \text{Max} (N * I_w, N * I_r) + \alpha \text{ (mA)} \quad \text{—— (式4)}$$

（Max（A、B）は AとBを比較した大きい方の値）

ここで、ホスト機器がI<sub>max</sub>分の消費電流が許容できた場合は、メモリカードドライブはフラッシュメモリを並列に動作させて最大の転送レートをうることができる。

#### 【0023】

しかしながら、ホスト機器の最大許容電流値（I<sub>ok</sub>）がI<sub>max</sub>より小さい場合は、メモリカードドライブの動作を制限することが必要である。本実施の形態では、ホスト機

器が  $I_{ok}$  の値をメモリカードドライブに通知し、メモリカードドライブはこの  $I_{ok}$  の値に従ってフラッシュメモリが並列に動作する枚数を可変している。

#### 【0024】

すなわち、ライト動作時に並列に動作するフラッシュメモリの枚数 ( $N_w$ )、リード時に並列に動作するフラッシュメモリの枚数 ( $N_r$ ) を (式5) (式6) に従って求める。

$$N_w = \text{INT}((I_{ok} - \alpha) / I_w) \quad \text{—— (式5)}$$

$$N_r = \text{INT}((I_{ok} - \alpha) / I_r) \quad \text{—— (式6)}$$

( $\text{INT}(x)$  は  $x$  以下の最大の整数)

$I_{ok} = 350$  (mA) である場合に (式5)、(式6) を適用すると、

$$N_w = \text{INT}((350 - 100) / 100) = 2$$

$$N_r = \text{INT}((350 - 100) / 50) = 5$$

となる。しかしながら本メモリカードドライブにおいて、フラッシュメモリの並列動作可能枚数 ( $N$ ) は4であるので、 $N_w$ 、 $N_r$  はいずれも4以下となる。したがって、

$N_w = 2$ ;  $N_r = 4$ ; となる。

逆にこのとき、ライト動作時の消費電流値は、

$$100 + 2 \times 100 = 300 \text{ (mA)}$$

リード動作時の消費電流値は、

$$100 + 4 \times 50 = 300 \text{ (mA)}$$

となる。以上より、本メモリカードドライブのライト動作時の消費電流値は300 (mA)、リード動作時の消費電流値は300 (mA) となり、ライト動作、リード動作共に  $I_{ok} (= 350 \text{ mA})$  以下が実現できる。

#### 【0025】

また、本メモリカードドライブの転送レートは、フラッシュメモリが1個当たり4 MB/sec の転送レートを有するので、2並列動作を行うライト時の転送レートは8 MB/sec、4並列動作を行うリード時の転送レートは16 MB/sec である。

#### 【0026】

図4は、フラッシュメモリを4並列にライト動作させた場合のタイミング図、図5はフラッシュメモリを2並列に動作させた場合のタイミング図である。

#### 【0027】

図4において、(a) はメモリカードドライブの入力データのタイミング図であり、512 B毎に0, 1, 2——と符号を付している。同図(b) はフラッシュメモリ0におけるライト動作のタイミング図、同図(c) はフラッシュメモリ1におけるライト動作のタイミング図、同図(d) はフラッシュメモリ2におけるライト動作のタイミング図、同図(e) はフラッシュメモリ3のタイミング図である。同図に示しているように、フラッシュメモリ毎にライト動作を512 Bずつ行い、図2の(c) に示すような割り込みをホスト機器に返すことで、フラッシュメモリを4並列となるように制御している。

#### 【0028】

図5において、(a) はメモリカードドライブの入力データのタイミング図であり、512 B毎に0, 1, 2——と符号を付している。同図(b) はフラッシュメモリ0におけるライト動作のタイミング図、同図(c) はフラッシュメモリ1におけるライト動作のタイミング図、同図(d) はフラッシュメモリ2におけるライト動作のタイミング図、同図(e) はフラッシュメモリ3のタイミング図である。同図に示しているように、フラッシュメモリ毎にライト動作を512 Bずつ行い、図2の(c) に示すような割り込みをホスト機器に返すことで、フラッシュメモリを2並列となるように制御している。

#### 【0029】

以上、メモリカードドライブのライト系の動作について述べたが、リード系はライトの反対の動作であるため、説明を省略する。

#### 【0030】

次に、このようなライト動作およびリード動作を、メモリカードドライブの運用で利用されるATAコマンドに対応づけて説明する。

## 【0031】

ホスト機器にメモリカードドライブを接続すると、コンフィグ動作が行われる。メモリカードドライブのインターフェイスがP C Iに準拠したものであればP C Iのコンフィグ動作、16ビットのA T AフラッシュカードであればC I S (C a r d I n f o r m a t i o n S t r u c t u r e) によるコンフィグ動作が行われる。コンフィグ動作が終了すると、A T AのI d e n t i f y - D r i v e コマンドが発行される。I d e n t i f y - D r i v e コマンドは、メモリカードドライブの記録容量、コマンド体系、パワーマネージメントについての情報の要求である。I d e n t i f y - D r i v e コマンドが発行されると、ドライブは予め設定された所定のワードに、現在のパワーマネージメントで定義された値を返す。本実施の形態ではパワーマネージメントの値として0 2 h ~ 7 F h の値を使用する。

## 【0032】

前記パワーマネージメントの値は後述するS e t - F e a t u r e s コマンドによって設定することができる。

## 【0033】

図6にA T AのS e t - F e a t u r e s コマンドのデータ構成を示す。同図(a)は同コマンドの各フィールドを示す図であり、同図(b)は同コマンドの2フィールド目に位置するS e c t o r C o u n t にマッピングされたA d v a n c e d p o w e r m a n a g e m e n t l e v e l の値を示している。本メモリカードドライブでは、A d v a n c e d p o w e r m a n a g e m e n t l e v e l として0 2 h ~ 7 F h を使用し、7 F h を1 0 0 0 m A 、0 2 h を0 m A とし、0 2 h ~ 7 F h の間の消費電流値を等分して使用している。

## 【0034】

A d v a n c e d p o w e r m a n a g e m e n t l e v e l の値をX (10進)、最大消費電流値をY (mA) とすると、
$$Y = 8 * (X - 2) \text{ (mA)} \quad \text{—— (式7)}$$
となる。

## 【0035】

本実施の形態の4個のフラッシュメモリ内蔵のメモリカードドライブでは、I d e n t i f y - D r i v e コマンドに対して、所定ワードに最大限の転送能力が発揮できる4 1 h (= 5 0 4 m A) を設定してホスト機器に返す。そして、ホスト機器がS e t - F e a t u r e s コマンドでホスト機器の最大許容電流値2 E h (= 3 5 2 m A = I o k) をメモリカードドライブに指定すると、メモリカードドライブは、設定された許容電流値以下という条件を満足するライト時、リード時夫々のモードにおけるフラッシュメモリの並列動作可能枚数を(式5)、(式6)によって計算して動作を制限する。

## 【0036】

以上説明したように、本発明のメモリカードドライブは、ホスト機器とのデータ転送を行う外部インターフェイス部と、複数のフラッシュメモリと、複数のフラッシュメモリの制御手段とによって構成され、前記制御手段は外部インターフェイス部を介して発行される動作コマンドを解析し、各コマンドに対応した消費電流予測値に従って、並列にデータ転送を行うフラッシュメモリの枚数を制御する。

## 【0037】

この構成によって、リードコマンドは全フラッシュメモリを並列動作させ、ライトコマンドは並列動作させるフラッシュメモリを半減させる。

## 【0038】

また、メモリカードドライブのマウント時に、メモリカードドライブに許容される最大電流値をホスト機器からメモリカードドライブに転送し、前記最大電流値に従って並列動作させるフラッシュメモリの枚数を制御することにより、P C の許容電流値に対応した電力管理を柔軟におこなうメモリカードドライブを提供することができる。

## 【0039】



なお、本実施の形態では、並列動作可能なフラッシュメモリの枚数を4個としたが、並列動作をおこなうフラッシュメモリの数は4個に限定するものではない。

#### 【0040】

また、フラッシュメモリの代わりに、SDカード、メモリスティック等のメモリカードを複数個内蔵したメモリカードドライブとし、並列動作をおこなうメモリカード数を可変しても同様の効果が得られることはいうまでもない。

#### 【0041】

さらに、内蔵するメモリはフラッシュメモリに限定するものではなく、ライト動作、リード動作において消費電流の異なるメモリデバイスであれば同様の効果が得られることはいうまでもない。

#### 【0042】

(第2の実施の形態)

第1の実施の形態では、コマンド(ライトとリード)によって並列動作をおこなうフラッシュメモリ数を可変して消費電流を制御したが、それに加え第2の実施の形態では、リードコマンドにおいてフラッシュメモリの読み出し周波数を変化させることによって消費電流の制御をおこなう。

#### 【0043】

フラッシュメモリのリード動作は、上記したようにゲートに一定電圧を印加し、電流のON/OFFを検出することによってデータを読み出す。よって、トランジスタのON/OFFの速度がリードアクセスタイムになるため、リード動作はライト動作に比較すると圧倒的に高速である。

#### 【0044】

図1に示した構成で外部インターフェイスをPCIカードバスとすれば、インターフェイス規格で132MB/sec(アドレスフェーズ等により実効100MB/sec)の読み出し転送レートも期待できる。

#### 【0045】

本実施の形態では、転送レート及び消費電流値を以下に規定したフラッシュメモリを最大4並列で使用する。

ライト時転送レート(512Bのブロックライト): 4MB/sec

ライト動作時の消費電流値: 100mA

リード時最大転送レート: 20MB/sec

リード時最大消費電流値: 100mA(リード時の消費電流値は転送レートに比例)

このような構成のメモリカードドライブでは、4並列動作を行って本メモリカードドライブの性能を最大限発揮した場合のライト時の転送レートは16MB/sec、リード時の転送レートは80MB/secとなる。

#### 【0046】

本実施の形態における電流制御のフローについて、図7を参照して説明する。まず、ホスト機器は最大消費電流値( $I_{max}$ )をメモリカードドライブに要求する。メモリカードドライブは消費電流値ROM33に予めライトしておいたフラッシュメモリのライト時消費電流( $I_w$ )とフラッシュメモリのリード時の最大消費電流( $I_{rmax}$ )、フラッシュメモリの並列動作可能枚数( $N$ )、メモリカードドライブの制御部、外部インターフェイス部の消費電流 $\alpha$ をもとに最大消費電流( $I_{max}$ )を

$$I_{max} = \max(N * I_w, N * I_{rmax}) + \alpha \text{ (mA)} \quad \text{—— (式8)}$$

によって計算し、ホスト機器に通知する。

#### 【0047】

ここで、ホスト機器が $I_{max}$ 分の消費電流を許容できた場合は、メモリカードドライブはフラッシュメモリを並列に動作させて最大の転送レートをうることができる。

#### 【0048】

しかしながら、ホスト機器の最大許容電流値( $I_{ok}$ )が $I_{max}$ より小さい場合は、メモリカードドライブの動作を制限することが必要である。フラッシュメモリの消費電流

は動作周波数に比例するため、本実施の形態では、 $I_{ok}$ の値に従ってライト動作時はフラッシュメモリが並列に動作する枚数を変化させ、リード動作時は4個並列動作させたまま、フラッシュメモリの動作周波数を変化させて転送レートを変化させることにより、消費電流を低下させている。

#### 【0049】

すなわち、ライト動作時に並列に動作するフラッシュメモリの枚数( $N_w$ )は、第1の実施の形態と同様に(式9)で求められる。

$$N_w = \text{INT}((I_{ok} - \alpha) / I_w) \quad \text{—— (式9)}$$

リード時にフラッシュメモリを動作させる転送レート( $f_r$ )は、以下のように求められる。読み出し時の並列動作フラッシュメモリ数を $N_{max}$ とすると、フラッシュメモリ1枚あたりの最大許容電流値は、 $(I_{ok} - \alpha) / N_{max}$ である。また、リード時の消費電流値は転送レートに比例するので、フラッシュメモリ単体のリード時最大転送レートを $f_{max}$ とすると、以下の関係が成り立つ。

$$f_{max} : f_r = I_{rmax} : (I_{ok} - \alpha) / N_{max}$$

したがって、 $f_r$ は(式10)で求められる。

$$f_r = (I_{ok} - \alpha) * f_{max} / N_{max} / I_{rmax} \quad \text{—— (式10)}$$

$I_{ok} = 350$  (mA)である場合に(式9)、(式10)を適用すると、

$$N_w = \text{INT}((350 - 100) / 100) = 2$$

$$f_r = (350 - 100) * 20 / 4 / 100 = 12.5 \text{ (MB/sec)}$$

となる。逆にこのとき、ライト動作時の消費電流値は、

$$100 + 2 \times 100 = 300 \text{ (mA)}$$

リード動作時の消費電流値は、

$$100 + 4 \times 100 \times 12.5 / 20 = 350 \text{ (mA)}$$

となる。

#### 【0050】

以上より、本メモリカードドライブのライト動作時の消費電流値は300 (mA)、リード動作時の消費電流値は350 (mA)となり、ライト動作、リード動作共に $I_{ok}$  ( $= 350$  mA)以下が実現できる。また、本メモリカードドライブの転送レートは、ライト動作時はフラッシュメモリ1個当り4 MB/sec、リード動作時はフラッシュメモリ1個当り12.5 MB/secの転送レートを有するので、2並列動作を行うライト時の転送レートは8 MB/sec、4並列動作を行うリード時の転送レートは50 ( $= 12.5 * 4$ ) MB/secである。

#### 【0051】

以上説明したように、消費電流設定のパラメータとして、ライト時は並列動作するフラッシュメモリ数を制御し、リード時はフラッシュメモリの動作周波数を制御して所定の転送レートでリードすることにより、所定の消費電流の範囲内で、メモリカードドライブの性能を最大限発揮することが可能である。

#### 【0052】

なお、本実施の形態では、フラッシュメモリの並列動作個数と動作周波数の両方を制御するとしたが、並列動作個数は変化させずに、動作周波数のみを変化させる構成としてもよい。その場合、フラッシュメモリの個数は1個以上であればよい。

#### 【0053】

なお、本実施の形態では、動作周波数の設定はフラッシュメモリの特性上、ライト動作は最大動作周波数で使用したが、将来、高速ライト可能なメモリデバイスが出現した際にはライト動作においても動作周波数を可変してもよいことはいうまでもない。

#### 【0054】

また、フラッシュメモリの代わりにメモリカードを並列に内蔵し、メモリカードの並列動作数又はメモリカードに供給するクロック周波数を可変しても同様の効果が得られることはいうまでもない。

#### 【0055】

さらに、パラメータとしてフラッシュメモリまたはメモ리카ードの並列動作個数と動作周波数を組み合わせて使用してもよいことはいうまでもない。

#### 【0056】

第1および第2の実施の形態では、まずホスト機器がメモ리카ードドライブの最大消費電流値 ( $I_{max}$ ) を問い合わせ、設定の変更が必要な場合のみ最大許容電流値 ( $I_{ok}$ ) をメモ리카ードドライブに通知して消費電流を制御するようにしたが、ホスト機器が  $I_{max}$  を問い合わせることなく最大許容電流値 ( $I_{ok}$ ) をメモ리카ードドライブに通知し、メモ리카ードドライブは必要な場合のみ  $I_{ok}$  の値に従って消費電流を制御するようにしてもよい。

#### 【産業上の利用可能性】

#### 【0057】

本発明のメモ리카ードドライブは、柔軟に消費電流値を設定できることから、リアルタイム性を必要とされるカメラレコーダ等の機器では最大転送性能で使用し、リアルタイム性を要求されない汎用PCではPCの供給電流を遵守して使用すればよく業務用映像分野で特に有用である。

#### 【図面の簡単な説明】

#### 【0058】

【図1】 第1の実施の形態におけるメモ리카ードドライブの構成図

【図2】 第1の実施の形態におけるメモ리카ードドライブのライトコマンドのプロトコル概略を示す図

【図3】 第1の実施の形態におけるメモ리카ードドライブの消費電流制御フローを示す図

【図4】 フラッシュメモリを4並列動作させた場合のタイミング図

【図5】 フラッシュメモリを2並列動作させた場合のタイミング図

【図6】 ATAのSet-Featuresコマンドの概略図

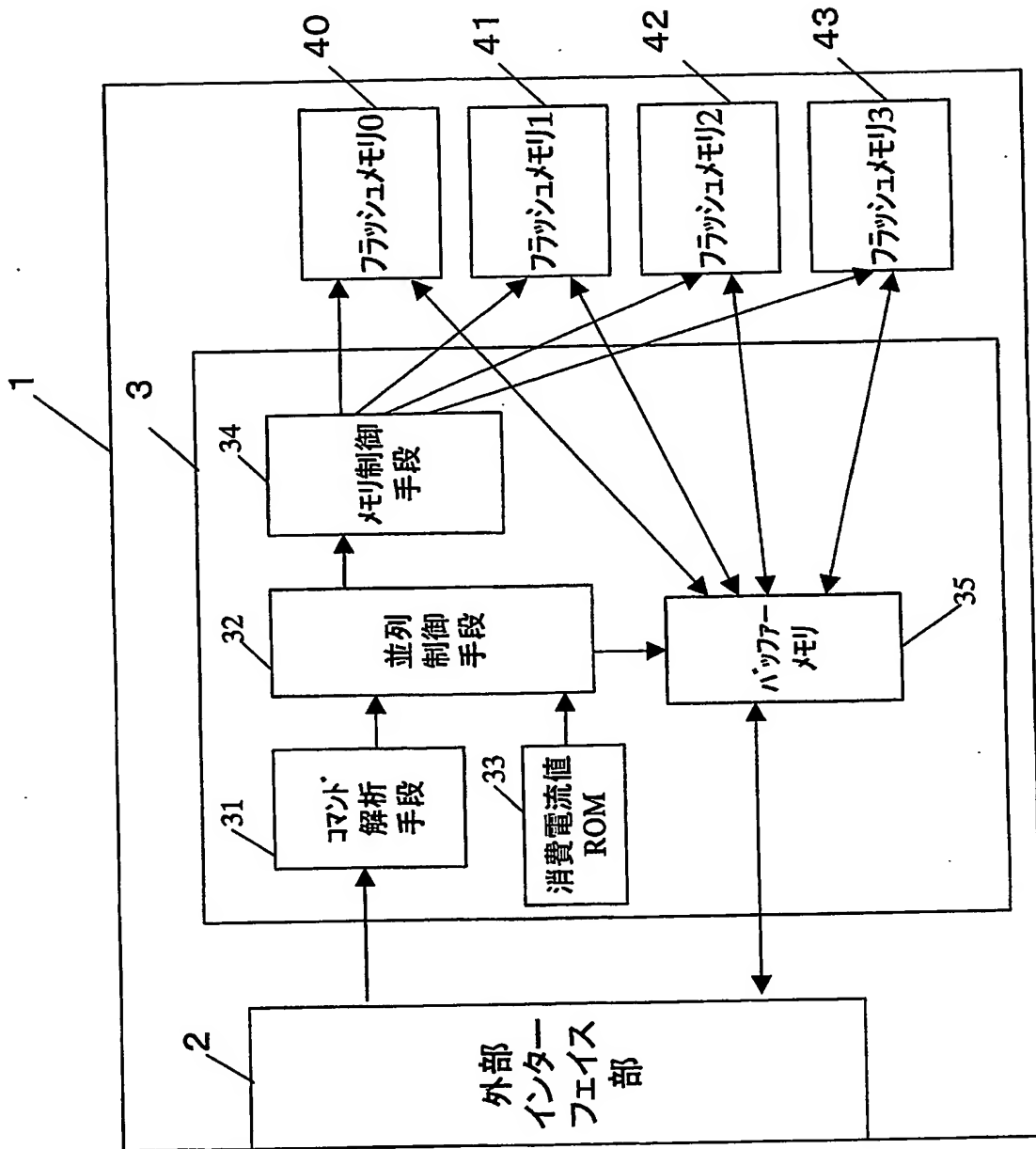
【図7】 第2の実施の形態のメモ리카ードドライブの消費電流制御フローを示す図

#### 【符号の説明】

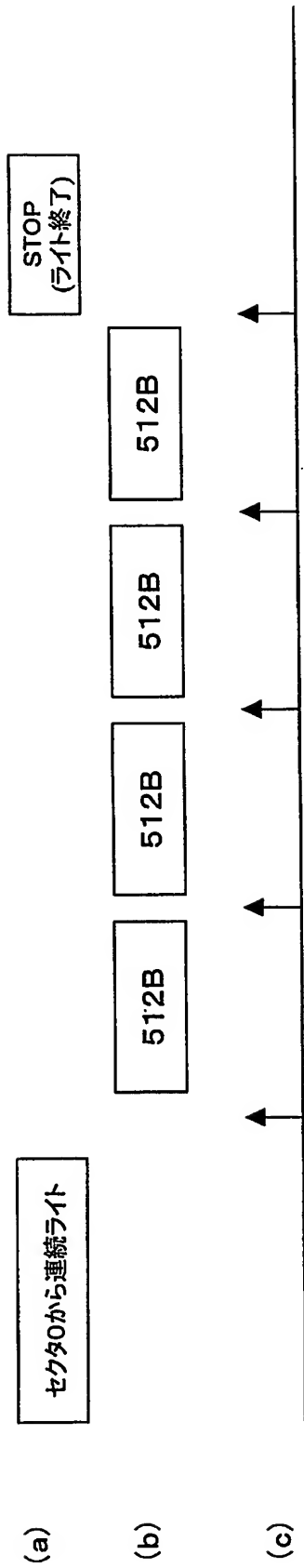
#### 【0059】

- 1           メモ리카ードドライブ
- 2           外部インターフェイス部
- 3           制御部
- 3 1          コマンド解析手段
- 3 2          並列制御手段
- 3 3          消費電流値ROM
- 3 4          メモリ制御手段
- 3 5          バッファメモリ
- 4 0 ~ 4 3   フラッシュメモリ

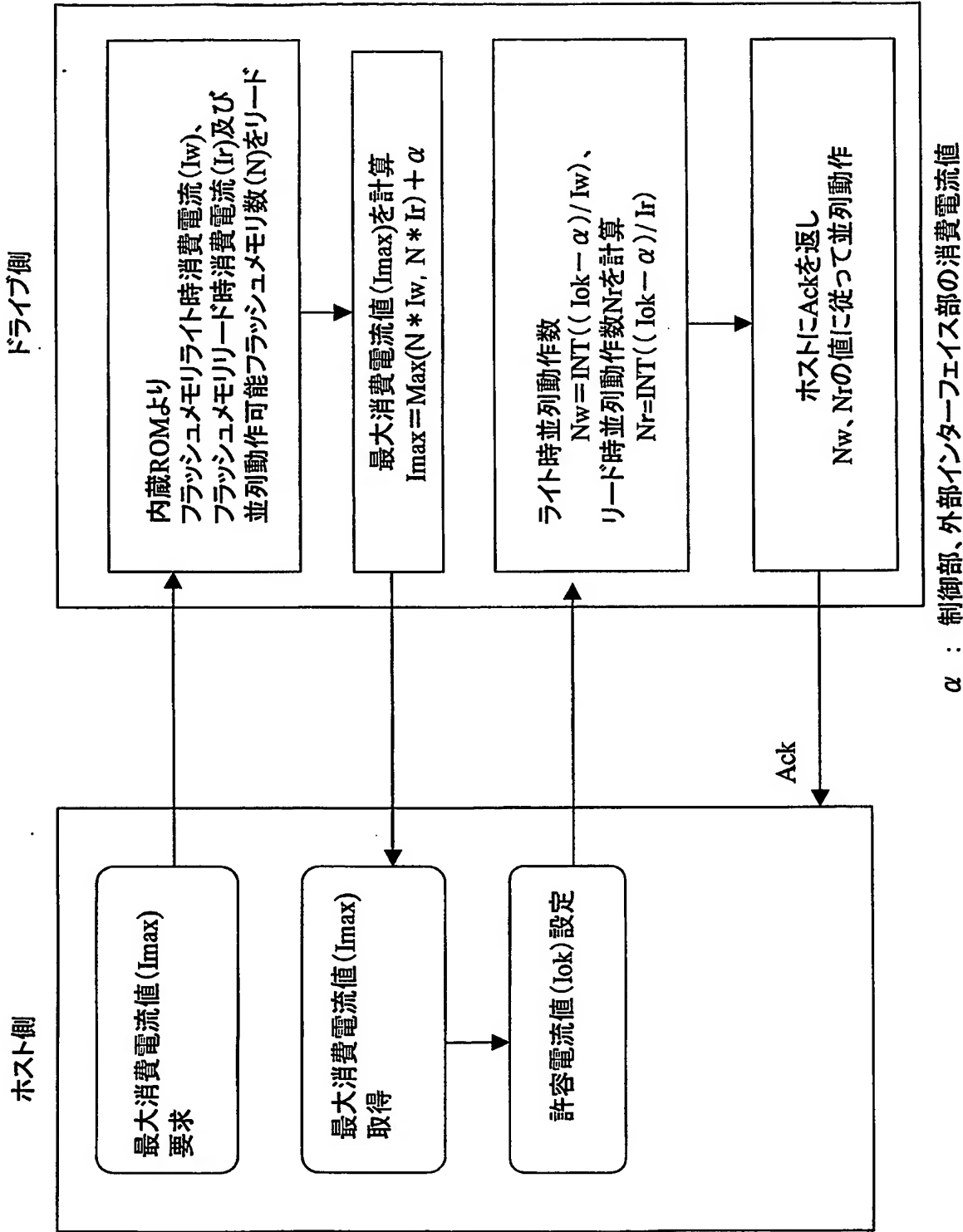
【書類名】 図面  
【図1】



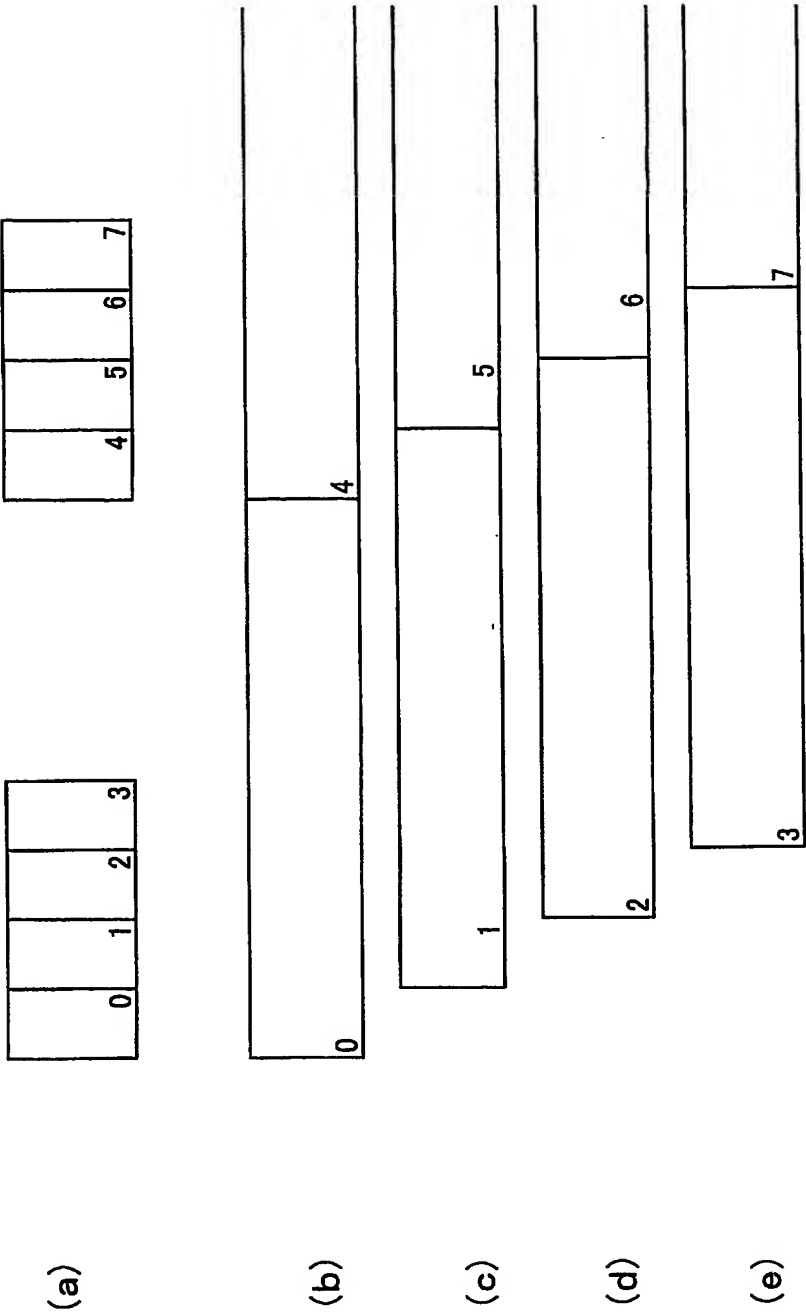
【図 2】



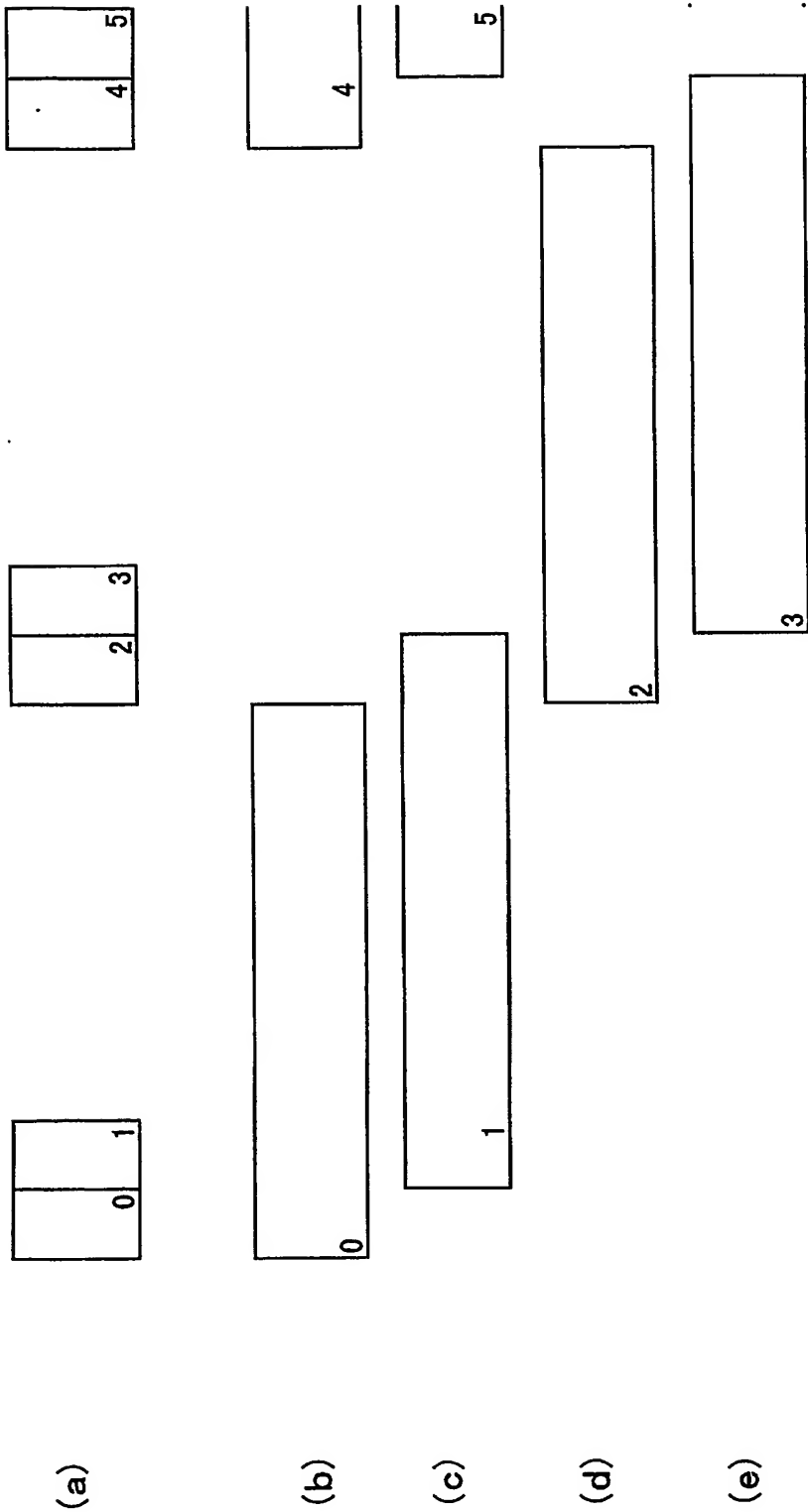
【図 3】



【図 4】



【図 5】





【図 6】

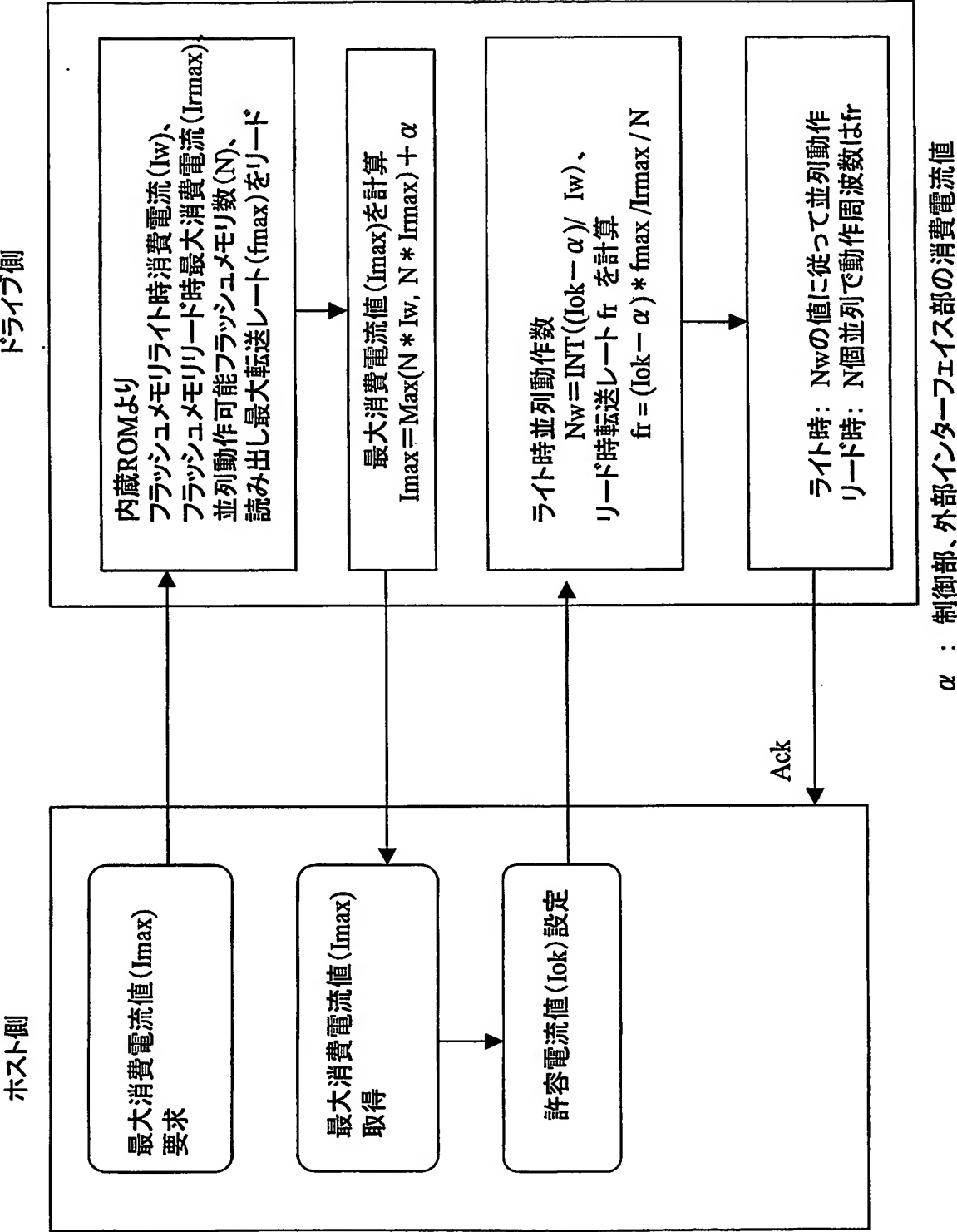
	7	6	5	4	3	2	1	0
Features	Sub command "05h"							
Sector Count	Advanced power management level							
Sector Number	na							
Cylinder Low	na							
Cylinder High	na							
Device/Head	obs	na	obs	DRV (0)	na			
Command	Command "FEh"							

(a)

•Level	•Sector Count value	•サポート
•Maximum performance	•FEh	•x
•Intermediate power management levels without Standby	•81h-FDh	•x
•Minimum power consumption without Standby	•80h	•x
•Intermediate power management levels with Standby	•02h-7Fh	•o
•Minimum power consumption with Standby	•01h	•x
•Reserved	•FEh	•x
•Reserved	•00h	•x

(b)

【図 7】



**【書類名】要約書****【要約】**

**【課題】**大容量のデジタル情報の高速記録再生を可能にするとともに、低消費電流化に対応したメモリカードドライブを提供する。

**【解決手段】**外部インターフェイス部と、前記外部インターフェイス部を介して転送されるデータを記録する2個以上のメモリデバイスと、前記メモリデバイスの並列制御手段とを備え、ホスト機器が指定した許容電流値及びホスト機器が発行するコマンドに従って、並列動作させるメモリデバイス数を可変させる。

この構成によって、リード時とライト時に並列動作させるメモリデバイス数を可変できるので、ホスト機器の提供できる電流値に従った柔軟な電流管理が可能になる。

**【選択図】**図3

特願 2 0 0 3 - 3 9 9 0 5 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地

氏 名 松下電器産業株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017268

International filing date: 19 November 2004 (19.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-399056  
Filing date: 28 November 2003 (28.11.2003)

Date of receipt at the International Bureau: 27 January 2005 (27.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**